

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-9745

(P2002-9745A)

(43)公開日 平成14年1月11日(2002.1.11)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 4 L	7/00	H 0 4 L	H 5 K 0 2 9
	7/08		C 5 K 0 4 7
	25/40		C

審査請求 未請求 請求項の数16 O L (全 22 頁)

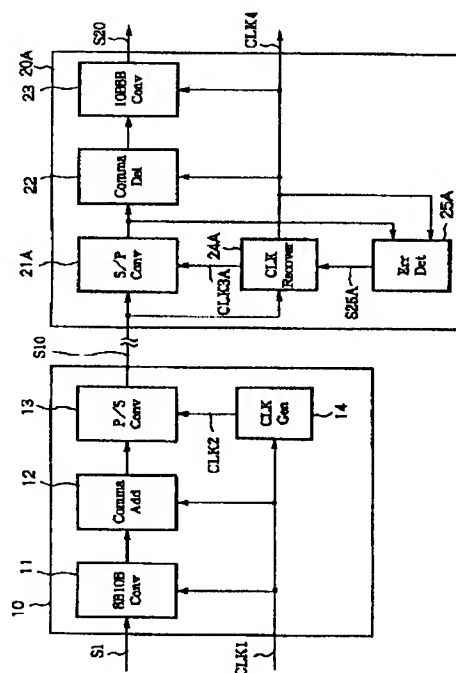
(21)出願番号	特願2000-189648(P2000-189648)	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日	平成12年6月23日(2000.6.23)	(72)発明者	飯塚 浩 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(74)代理人	100094053 弁理士 佐藤 隆久
		Fターム(参考)	5K029 AA13 AA18 CC04 DD02 EE06 FF10 GG03 HH21 HH26 JJ01 KK11 KK22 LL10 5K047 AA16 BB02 FF17 GG16 HH01 HH03 HH12 HH21 HH43 KK04 KK11 KK15 MM50 MM60 MM63

(54)【発明の名称】 受信装置およびデータ伝送装置

(57)【要約】

【課題】 受信シリアルデータより低い周波数の再生クロック信号によって、受信シリアルデータと再生クロック信号との同期不良を検出する。

【解決手段】 所定ワード長のデータ列とワード区切りデータを含んだシリアルデータS10が送信部10においてクロック信号CLK2に同期して送信される。このシリアルデータS10は、シリアル-パラレル変換部21AにおいてシリアルデータS10に基づいて再生されたクロック信号CLK3Aに同期して保持され、保持されたシリアルデータS10が所定ワード長で分割されてデータS21として出力される。エラー検出部25Aにおいて、データS21に含まれるワード区切りデータが検出され、この検出位置を示す位置データが同一のデータ列を挟む2つのワード区切りデータについて一致しない場合に、受信シリアルデータと再生クロック信号とが同期不良を起こしていることを検出する。



1

【特許請求の範囲】

【請求項 1】 所定のデータ長の単位データを含むデータ列と、上記単位データと等しい長さを有し、上記データ列間に挿入される区切りデータとを含んだ伝送データを受信する受信装置であって、

設定されたタイミングで、上記伝送データを上記所定のデータ長ごとに分割した分割データを生成する伝送データ分割回路と、

上記区切りデータを上記分割データから検出し、当該区切りデータと当該区切りデータを含む分割データとの相対位置を示す位置データを生成する区切りデータ検出回路と、

同一の上記データ列を挟む 2 つの上記区切りデータの位置データを比較し、当該位置データが一致しないことを条件として、上記タイミングが不正であることを検出する第 1 のエラー検出回路とを有する受信装置。

【請求項 2】 上記区切りデータ検出回路は、上記区切りデータの検出を知らせる検出信号を出力し、

上記検出信号に基づいて、上記区切りデータが検出される時間間隔を計時し、当該時間間隔と所定の上限時間とを比較し、当該時間間隔が上記上限時間を越えることを条件として、上記タイミングが不正であることを検出する第 2 のエラー検出回路を有する、請求項 1 に記載の受信装置。

【請求項 3】 所定のデータ長の単位データを含むデータ列と、上記単位データと等しい長さを有し、上記データ列間に挿入される区切りデータとを含み、所定のクロック信号に同期して伝送される伝送データを受信する受信装置であって、

上記伝送データに基づいて上記所定のクロック信号を再生した受信クロック信号を出力するクロック再生回路と、

上記受信クロック信号に同期したタイミングで、上記伝送データを上記所定のデータ長ごとに分割した分割データを生成する伝送データ分割回路と、

上記区切りデータを上記分割データから検出し、当該区切りデータと当該区切りデータを含む分割データとの相対位置を示す位置データを生成する区切りデータ検出回路と、

同一の上記データ列を挟む 2 つの上記区切りデータの位置データを比較し、当該位置データが一致しないことを条件として、上記クロック再生回路によるクロック信号の再生が不正であることを知らせる第 1 のエラー信号を出力する第 1 のエラー検出回路とを有する受信装置。

【請求項 4】 上記区切りデータ検出回路は、上記区切りデータの検出を知らせる検出信号を出力し、

上記検出信号に基づいて、上記区切りデータが検出される時間間隔を計時し、当該時間間隔と所定の上限時間とを比較し、当該時間間隔が上記上限時間を越えることを条件として、上記クロック再生回路によるクロック信号

2

の再生が不正であることを知らせる第 2 のエラー信号を出力する第 2 のエラー検出回路を有する、

請求項 3 に記載の受信装置。

【請求項 5】 上記クロック再生回路は、

上記伝送データと上記受信クロック信号との位相差を検出し、当該位相差に応じたレベルの位相差信号を出力する位相比較回路と、

上記伝送データと上記受信クロック信号との周波数の差を検出し、当該周波数の差に応じたレベルの周波数差信号を出力する周波数比較回路と、

上記第 1 のエラー信号または上記第 2 のエラー信号の入力時に上記位相差信号を選択して出力し、上記第 1 のエラー信号および上記第 2 のエラー信号の非入力時に上記周波数差信号を出力する選択回路と、

上記選択回路の出力する信号のレベルに応じた周波数を有する上記受信クロック信号を出力する発振回路とを含む、

請求項 4 に記載の受信装置。

【請求項 6】 所定のデータ長の単位データを含むデータ列と、上記単位データと等しい長さを有し、上記データ列間に挿入される区切りデータとを含み、所定のクロック信号に同期して伝送される伝送データを受信する受信装置であって、

上記伝送データに基づいて上記所定のクロック信号を再生した受信クロック信号を出力するクロック再生回路と、

上記受信クロック信号に同期したタイミングで、当該伝送データを上記所定のデータ長ごとに順次入力して保持するラッチ回路と、

上記ラッチ回路に上記伝送データが保持される度に、当該保持された伝送データから上記区切りデータを検出し、上記区切りデータが検出された伝送データにおける、上記区切りデータの検出位置に応じた位置データを生成する区切りデータ検出回路と、

上記区切りデータが検出される度に、当該区切りデータの位置データと、最近に検出された区切りデータの位置データとを比較し、当該位置データが一致しないことを条件として、上記クロック再生回路によるクロック信号の再生が不正であることを知らせる第 1 のエラー信号を出力する第 1 のエラー検出回路とを有する受信装置。

【請求項 7】 上記区切りデータ検出回路は、上記区切りデータの検出を知らせる検出信号を出力し、

上記検出信号に基づいて、上記区切りデータが検出される時間間隔を計時し、当該時間間隔と所定の上限時間とを比較し、当該時間間隔が上記上限時間を越えることを条件として、上記クロック再生回路によるクロック信号の再生が不正であることを知らせる第 2 のエラー信号を出力する第 2 のエラー検出回路を有する、

請求項 6 に記載の受信装置。

【請求項 8】 上記クロック再生回路は、

50

3

上記伝送データと上記受信クロック信号との位相差を検出し、当該位相差に応じたレベルの位相差信号を出力する位相比較回路と、

上記伝送データと上記受信クロック信号との周波数の差を検出し、当該周波数の差に応じたレベルの周波数差信号を出力する周波数比較回路と、

上記第 1 のエラー信号または上記第 2 のエラー信号の入力時に上記位相差信号を選択して出力し、上記第 1 のエラー信号および上記第 2 のエラー信号の非入力時に上記周波数差信号を出力する選択回路と、

上記選択回路の出力する信号のレベルに応じた周波数を有する上記受信クロック信号を出力する発振回路とを含む、

請求項 7 に記載の受信装置。

【請求項 9】 所定のデータ長の単位データを含むデータ列と、上記単位データと等しい長さを有し、上記データ列間に挿入される区切りデータとを含んだ伝送データを送信部において生成して送信し、上記伝送データを受信部において受信するデータ伝送装置であって、

上記受信部は、

設定されたタイミングで、上記伝送データを上記所定のデータ長ごとに分割した分割データを生成する伝送データ分割回路と、

上記区切りデータを上記分割データから検出し、当該区切りデータと当該区切りデータを含む分割データとの相対位置を示す位置データを生成する区切りデータ検出回路と、

同一の上記データ列を挟む 2 つの上記区切りデータの位置データを比較し、当該位置データが一致しないことを条件として、上記タイミングが不正であることを検出する第 1 のエラー検出回路とを有するデータ伝送装置。

【請求項 10】 上記区切りデータ検出回路は、上記区切りデータの検出を知らせる検出信号を出力し、

上記検出信号に基づいて、上記区切りデータが検出される時間間隔を計時し、当該時間間隔と所定の上限時間とを比較し、当該時間間隔が上記上限時間を越えることを条件として、上記タイミングが不正であることを検出する第 2 のエラー検出回路を有する、

請求項 9 に記載のデータ伝送装置。

【請求項 11】 所定のデータ長の単位データを含むデータ列と、上記単位データと等しい長さを有し、上記データ列間に挿入される区切りデータとを含む伝送データを送信部において生成して、所定のクロック信号に同期して送信し、上記伝送データを受信部において受信するデータ伝送装置であって、

上記受信部は、

上記伝送データに基づいて上記所定のクロック信号を再生した受信クロック信号を出力するクロック再生回路と、

上記受信クロック信号に同期したタイミングで、上記伝

4

送データを上記所定のデータ長ごとに分割した分割データを生成する伝送データ分割回路と、

上記データ列が含む区切りデータを上記分割データから検出し、当該区切りデータと当該区切りデータを含む分割データとの相対位置を示す位置データを生成する区切りデータ検出回路と、

同一の上記データ列を挟む 2 つの上記区切りデータの位置データを比較し、当該位置データが一致しないことを条件として、上記クロック再生回路によるクロック信号の再生が不正であることを知らせる第 1 のエラー信号を出力する第 1 のエラー検出回路とを有するデータ伝送装置。

【請求項 12】 上記区切りデータ検出回路は、上記区切りデータの検出を知らせる検出信号を出力し、

上記検出信号に基づいて、上記区切りデータが検出される時間間隔を計時し、当該時間間隔と所定の上限時間とを比較し、当該時間間隔が上記上限時間を越えることを条件として、上記クロック再生回路によるクロック信号の再生が不正であることを知らせる第 2 のエラー信号を

出力する第 2 のエラー検出回路を有する、

請求項 11 に記載のデータ伝送装置。

【請求項 13】 上記クロック再生回路は、

上記伝送データと上記受信クロック信号との位相差を検出し、当該位相差に応じたレベルの位相差信号を出力する位相比較回路と、

上記伝送データと上記受信クロック信号との周波数の差を検出し、当該周波数の差に応じたレベルの周波数差信号を出力する周波数比較回路と、

上記第 1 のエラー信号または上記第 2 のエラー信号の入力時に上記位相差信号を選択して出力し、上記第 1 のエラー信号および上記第 2 のエラー信号の非入力時に上記周波数差信号を出力する選択回路と、

上記選択回路の出力する信号のレベルに応じた周波数を有する上記受信クロック信号を出力する発振回路とを含む、

請求項 12 に記載のデータ伝送装置。

【請求項 14】 所定のデータ長の単位データを含むデータ列と、上記単位データと等しい長さを有し、上記データ列間に挿入される区切りデータとを含む伝送データを送信部において生成して、所定のクロック信号に同期して送信し、上記伝送データを受信部において受信するデータ伝送装置であって、

上記受信部は、

上記伝送データに基づいて上記所定のクロック信号を再生した受信クロック信号を出力するクロック再生回路と、

上記受信クロック信号に同期したタイミングで、当該伝送データを上記所定のデータ長ごとに順次入力して保持するラッチ回路と、

上記ラッチ回路に上記伝送データが保持される度に、当

10

20

30

40

50

5

該保持された伝送データから上記区切りデータを検出し、上記区切りデータが検出された伝送データにおける、上記区切りデータの検出位置に応じた位置データを生成する区切りデータ検出回路と、
 上記区切りデータが検出される度に、当該区切りデータの位置データと、最近に検出された区切りデータの位置データとを比較し、当該位置データが一致しないことを条件として、上記クロック再生回路によるクロック信号の再生が不正であることを知らせる第1のエラー信号を出力する第1のエラー検出回路とを有するデータ伝送装置。

【請求項15】 上記区切りデータ検出回路は、上記区切りデータの検出を知らせる検出信号を出力し、上記検出信号に基づいて、上記区切りデータが検出される時間間隔を計時し、当該時間間隔と所定の上限時間とを比較し、当該時間間隔が上記上限時間を越えることを条件として、上記クロック再生回路によるクロック信号の再生が不正であることを知らせる第2のエラー信号を出力する第2のエラー検出回路を有する、
 請求項14に記載のデータ伝送装置。

【請求項16】 上記クロック再生回路は、上記伝送データと上記受信クロック信号との位相差を検出し、当該位相差に応じたレベルの位相差信号を出力する位相比較回路と、
 上記伝送データと上記受信クロック信号との周波数の差を検出し、当該周波数の差に応じたレベルの周波数差信号を出力する周波数比較回路と、
 上記第1のエラー信号または上記第2のエラー信号の入力時に上記位相差信号を選択して出力し、上記第1のエラー信号および上記第2のエラー信号の非入力時に上記周波数差信号を出力する選択回路と、
 上記選択回路の出力する信号のレベルに応じた周波数を有する上記受信クロック信号を出力する発振回路とを含む、
 請求項15に記載のデータ伝送装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、所定のデータ長の単位データからなるデータ列を受信する受信装置および当該データ列を伝送するデータ伝送装置に係り、特に、ファイバ・チャネルなどにおける高速なシリアルデータ受信装置およびシリアルデータ伝送装置に関するものである。

【0002】

【従来の技術】 通信技術を大きく分類した場合、データとクロックを別のチャンネルで送る方式と、データとクロックを共通のチャンネルで送るシリアル方式とがある。これらの方式にはそれぞれに得失があるため、状況に応じて使い分けられており、例えば後者のシリアル方式は、遠距離通信などのように通信路のコストが相対的

6

に高い場合や、ケーブルを細くしたい場合、コネクタの形状を小さくしたい場合などに用いられている。

【0003】 シリアル方式の代表的なものに、ファイバ・チャネル (Fiber Channel) と呼ばれる方式がある。ファイバ・チャネルは比較的高速なシリアル方式のインターフェースであり、例えば100Mbyte/sのデータ伝送が可能である。また、伝送媒体として光ファイバや同軸ケーブル、シールド付きツイストペア線などを用いることができる。さらに、光ファイバを使用した場合シリアルデータの伝送距離は最大10kmまで延長でき、長距離の通信も可能である。

【0004】 ファイバ・チャネルでは、次に述べるような手順によって100Mbyte/sのデータ伝送が行われる。まず送信側において、100MHzのクロックに同期した8ビット (1byte) のパラレルデータが供給される。このパラレルデータは8B10Bと呼ばれる1対1の変換によって10ビットのパラレルデータに変換され、さらにワードの区切りを識別するためのコマキャラクタと呼ばれる特定のデータが付加された後、1Gbpsのシリアルデータに変換されて出力される。受信側においては、入力された1Gbpsのシリアルデータから100MHzのクロック信号が再生され、これに同期してシリアルデータからパラレルデータに変換される。そしてパラレルデータに含まれるコマキャラクタからワードの区切りが識別されて、コマキャラクタを除いた10ビットのパラレルデータが10B8Bの変換によって8ビットのパラレルデータに変換される。

【0005】 8B10B変換は、受信側においてシリアル信号からクロックを確実に再生させるために行われる変換である。シリアル信号からクロックの再生を行う場合には、後述するように、PLL回路が用いられる。PLL回路では、シリアル信号の信号変化点に再生させるクロック信号をロックさせるので、クロック信号を確実に再生させるためには、シリアル信号に信号変化点が多く含まれていることが望ましい。しかしながら、伝送されるデータは任意なので、場合によっては000・・・といった具合に同じビットデータが連続して出力されることも考えられる。この場合、シリアル信号に信号変化点が多くなくなってしまうので、受信側のPLL回路においてクロック信号を再生できなくなってしまう。そこで、ファイバ・チャネルの送信側においては、どのようなデータ列を伝送させる場合にも規定値以上の信号変化点が含まれるように選択された10ビットデータと任意の8ビットデータとの変換 (8B10B変換) によって、元の8ビットデータが10ビットデータに変換されてからシリアルデータに変換されて出力されている。この8B10B変換による8ビットデータから10ビットデータへの変換は1対1の変換なので、受信側において逆の変換 (10B8B変換) を行うことにより、10ビットデータから元の8ビットデータを再生させることが

できる。

【0006】また、受信されたシリアルデータから10ビット単位のデータ（ワード）を正しく取り出すためには、シリアルデータの中に10ビットの区切りを示すデータが含まれていなくてはならない。ファイバ・チャネルでは、この区切りを示すデータとして2進数表示で“0011111xxx”というデータ（コンマキャラクタ）が使用されている。ただし下位3桁のxxxは任意の値を示している。このコンマキャラクタは、8B10B変換によって生成されたデータ列において存在し得ないビットパターンである。したがって、受信側において受信されたデータ列からこのコンマキャラクタが検出されることにより、どこがワードの区切りであるかが識別可能となる。

【0007】ここで、上述したファイバ・チャネルを例に、従来のシリアルデータ伝送装置の具体的な構成と動作について説明する。

【0008】図12は、従来のシリアルデータ伝送装置の動作を説明するブロック図である。図12において、10は送信部を、20は受信部を、11は8B10B変換部を、12はコンマキャラクタ付加部を、13はパラレルーシリアル変換部を、14は送信クロック発生部を、21はシリアルーパラレル変換部を、22はコンマキャラクタ除去部を、23は10B8B変換部を、24はクロック再生部を、25はエラー検出部をそれぞれ示している。

【0009】送信部10は、100MHzのクロック信号CLK1に同期して供給される8ビットのパラレルデータS1をシリアルデータに変換して受信部20に出力する。送信部10は、8B10B変換部11、コンマキャラクタ付加部12、パラレルーシリアル変換部13および送信クロック発生部14によって構成されている。受信部20は、送信部から伝送されたシリアルデータから100MHzのクロック信号CLK4を再生するとともに、このクロック信号CLK4に同期した8ビットのパラレルデータS20を再生する。受信部20は、シリアルーパラレル変換部21、コンマキャラクタ除去部22、10B8B変換部23、クロック再生部24およびエラー検出部25によって構成されている。

【0010】8B10B変換部11は、100MHzのクロック信号CLK1に同期して供給される8ビットのパラレルデータS1に上述した8B10Bの変換を行って10ビットのデータに変換し、これをコンマキャラクタ付加部12に出力する。コンマキャラクタ付加部12は、8B10B変換部11において10ビットに変換されたデータに上述した10ビットのコンマキャラクタを付加し、これをパラレルーシリアル変換部13に出力する。パラレルーシリアル変換部13は、コンマキャラクタ付加部12から出力された10ビットパラレルデータを、送信クロック発生部14による1GHzの送信クロ

ック信号CLK2に同期したシリアルデータS10に変換し、これを受信部20に出力する。送信クロック発生部14は、供給された100MHzのクロック信号CLK1から1GHzの送信クロック信号CLK2を生成し、これをパラレルーシリアル変換部13に供給する。

【0011】シリアルーパラレル変換部21は、送信部10から伝送されたシリアルデータS10を、クロック再生部24で再生された1GHzの受信クロック信号CLK3に同期してラッチしてパラレルデータに変換し、これをコンマキャラクタ除去部22に出力する。コンマキャラクタ除去部22は、シリアルーパラレル変換部21によるパラレルデータからコンマキャラクタを検出してワードの区切りを識別し、コンマキャラクタを除く10ビットのパラレルデータを10B8B変換部23へ出力する。10B8B変換部23は、コンマキャラクタ除去部22で識別された10ビットのパラレルデータに10B8B変換を行って8ビットのパラレルデータS20を再生し、クロック再生部24の出力する100MHzのクロック信号CLK4に同期してこれを出力する。

【0012】クロック再生部24は、シリアルデータS10に同期した1GHzのクロック信号CLK3を再生し、これをシリアルーパラレル変換部21に供給する。また、このクロック信号CLK3を分周して生成した100MHzのクロック信号CLK4をコンマキャラクタ除去部22および10B8B変換部23に供給する。さらにクロック再生部24は、再生したクロック信号CLK3がシリアルデータS10に対して同期していないことを知らせるロックエラー信号S25に応じて、内部PLLの周波数引き込み範囲を可変させる。すなわち、クロック再生部24の内部PLLにおける周波数のロックが外れて、クロック信号CLK3がシリアルデータS10に対して同期していない場合には、クロック再生部24の内部PLLの周波数引き込み範囲を広げて、クロック信号CLK3の周波数をシリアルデータS10にロックさせる。

【0013】エラー検出部25は、クロック再生部24において再生されたクロック信号CLK3がシリアルデータS10に対して同期しているか否かを検出し、この検出結果に基づいてロックエラー信号S25を生成し、これをクロック再生部24に出力する。

【0014】100MHzのクロック信号CLK1に同期して受信部10に供給された8ビットのパラレルデータS1は、8B10B変換部11において10ビットのパラレルデータに変換され、コンマキャラクタ付加部12においてコンマキャラクタを付加された後、パラレルーシリアル変換部13において、1GHzの送信クロック信号CLK2に同期したシリアルデータS10に変換されて、受信部20に出力される。受信部20に伝送されたシリアルデータS10は、クロック再生部24に入力されて、このシリアルデータS10に同期した1GHz

9

zのクロック信号CLK3が再生される。シリアルパラレル変換部21に入力されたシリアルデータS10は、この再生されたクロック信号CLK3に同期してラッチされることによりパラレルデータに変換されて、コマキャラクタ除去部22に出力される。そして、コマキャラクタ除去部22においてこのパラレルデータからコマキャラクタが検出されることによりワードの区切りが識別され、コマキャラクタを除く10ビットのパラレルデータが得られる。この10ビットのパラレルデータが10B8B変換部で8ビットに変換されて、元のパラレルデータが再生される。再生されたクロック信号CLK3とシリアルデータS10が同期していない場合は、エラー検出部25において生成されたロックエラー信号S25によってクロック再生部24の周波数引き込み範囲が可変されることにより、クロック信号CLK3とシリアルデータS10が同期するよう制御される。

【0015】次に、上述したエラー検出部25の動作について、更に詳しく説明する。

【0016】図13は、従来のシリアルデータ伝送装置の受信部20においてクロック信号の再生エラーを検出するエラー検出部25の動作を説明するブロック図である。図13において、255は遅延回路を、256、257および259はラッチ回路を、258はEX-OR回路をそれぞれ示している。

【0017】遅延回路255は、送信部10から伝送されたシリアルデータS10に対して所定の遅延時間を与えたシリアルデータS255をラッチ回路256に出力する。遅延回路255の生成する遅延時間は、シリアルデータS10の変化する周期に比べて短い時間に設定されている。ラッチ回路256は、遅延回路255から出力されたシリアルデータS255をクロック信号CLK3の立ち上がりエッジに同期して出力端子Qに保持（ラッチ）し、このラッチしたデータをEX-OR回路258に出力する。ラッチ回路257は、送信部10から伝送されたシリアルデータS10をクロック信号CLK3の立ち上がりエッジに同期してラッチし、このラッチしたデータをEX-OR回路258に出力する。EX-OR回路258は、ラッチ回路256およびラッチ回路257にラッチされているデータの排他的論理和をラッチ回路259に出力する。ラッチ回路259は、EX-OR回路258の出力する信号をクロック信号CLK3の立ち上がりエッジに同期してラッチし、これをロックエラー信号S25としてクロック再生部24に出力する。

【0018】送信部10から伝送されたシリアルデータS10は、遅延回路255において所定の遅延時間を与えられてから、ラッチ回路256においてクロック信号CLK3に同期してラッチされてEX-OR回路258に入力されるとともに、ラッチ回路257において直接ラッチされてEX-OR回路258に入力される。ラッチ回路256およびラッチ回路257にラッチされた信

10

号は、EX-OR回路において不一致を検出され、両者の信号が不一致の場合、ハイレベルの信号がラッチ回路259にラッチされて、ロックエラー信号S25としてクロック再生部24に出力される。

【0019】図14は、従来のエラー検出部25におけるタイミングチャートを示す図である。図14において、(B1)および(B2)はシリアルデータS10を、(A1)および(A2)は遅延回路256の出力するシリアルデータS255を、(C1)および(C2)はクロック信号CLK3を、(D1)および(D2)はロックエラー信号S25をそれぞれ示している。また、(A1)、(B1)、(C1)および(D1)はシリアルデータS10とクロック信号CLK3が同期している場合のタイミングチャートを、(A2)、(B2)、(C2)および(D2)はシリアルデータS10とクロック信号CLK3が同期していない場合のタイミングチャートを示している。

【0020】図14の(A1)～(D1)に示すように、シリアルデータS10とクロック信号CLK3が同期している場合は、シリアルデータS10およびシリアルデータS255に対するクロック信号CLK3の位相が常に一定となっており、ラッチ回路256およびラッチ回路257には常に一定の値がラッチされる。さらに、遅延回路255の遅延時間はシリアルデータS10の変化する周期よりも短く設定しているため、ラッチ回路256およびラッチ回路257には同じレベルの信号がラッチされる。したがって、EX-OR回路258の出力をラッチしたロックエラー信号は常にローレベルとなる。一方、シリアルデータS10とクロック信号CLK3が同期していない場合は、シリアルデータS10およびシリアルデータS255に対するクロック信号CLK3の位相が変化し、これに伴ってラッチ回路256およびラッチ回路257にラッチされる信号も変化する。したがって、EX-OR回路258の出力をラッチしたロックエラー信号がローレベルからハイレベルに変化する場合がある。このようにして、クロック信号CLK3がシリアルデータS10に同期しているか否かを検出することができる。

【0021】

【発明が解決しようとする課題】ところで、図14のタイミングチャートに示しているように、遅延回路255の遅延時間はシリアルデータの変化する周期に対して十分短い時間である必要がある。ファイバ・チャネルの場合、シリアルデータの変化する時間は1nsであるので、遅延時間はこれよりも短いことが要求される。このように微小な遅延時間を精度良く設定することは、製造プロセスによる個体間のばらつきや環境の影響を考慮した場合、非常に難しいという問題がある。

【0022】また、従来のエラー検出部25においては、シリアルデータS10をラッチするために、シリア

11

ルデータ S10 の周波数に対して 2 倍の周波数を生成する必要がある。ファイバ・チャネルにおいてはクロック信号 CLK3 に 1 GHz のクロックが必要となる。このように高速なクロック信号を CMOS の PLL 回路で生成させることは極めて困難であり、従来は、例えば ECL 等のバイポーラ IC による PLL 回路によって生成されていた。しかし ECL 等のバイポーラ IC による回路は、CMOS プロセスによる回路に比べて消費電力が大きい問題がある。また、大半のロジック系回路が低電圧の CMOS プロセスで構成されている場合にも、バイポーラ IC によるこれらの回路だけは集積化することができず、別の IC で回路を構成しなくてはならないという問題もある。

【0023】本発明はかかる事情に鑑みてなされたものであり、その目的は、所定のデータ長の単位データからなるシリアルデータからクロック信号が再生され、このクロック信号に基づいて元の単位データが再生されるシリアルデータの伝送方式において、シリアルデータの周波数より低い周波数のクロック信号によって、このシリアルデータと再生されたクロック信号との同期のずれを確実に検出できる受信装置およびデータ伝送装置を提供することにある。

【0024】

【課題を解決するための手段】上記の目的を達成するため、本発明の受信装置は、所定のデータ長の単位データを含むデータ列と、上記単位データと等しい長さを有し、上記データ列間に挿入される区切りデータとを含んだ伝送データを受信する受信装置であって、設定されたタイミングで、上記伝送データを上記所定のデータ長ごとに分割した分割データを生成する伝送データ分割回路と、上記区切りデータを上記分割データから検出し、当該区切りデータと当該区切りデータを含む分割データとの相対位置を示す位置データを生成する区切りデータ検出回路と、同一の上記データ列を挟む 2 つの上記区切りデータの位置データを比較し、当該位置データが一致しないことを条件として、上記タイミングが不正であることを検出する第 1 のエラー検出回路とを有している。

【0025】また、上記区切りデータ検出回路は、上記区切りデータの検出を知らせる検出信号を出力する。さらに、上記検出信号に基づいて、上記区切りデータが検出される時間間隔を計時し、当該時間間隔と所定の上限時間とを比較し、当該時間間隔が上記上限時間を越えることを条件として、上記タイミングが不正であることを検出する第 2 のエラー検出回路を有している。

【0026】本発明の受信装置によれば、上記伝送データ分割回路において、上記伝送データが、ある設定されたタイミングで上記所定のデータ長ごとに分割されることによって上記分割データが生成される。上記位置データは、上記区切りデータ検出回路において検出された当該区切りデータと、当該区切りデータを含む分割データ

12

との相対位置に応じて生成される。そして、上記第 1 のエラー検出回路において、同一の上記データ列を挟む 2 つの上記区切りデータの位置データが比較され、当該位置データが一致しないことを条件として、上記タイミングが不正であることが検出される。また、上記第 2 のエラー検出回路において、上記区切りデータ検出回路による上記検出信号に基づいて、上記区切りデータが検出される時間間隔が計時され、当該時間間隔と所定の上限時間とが比較される。そして、当該時間間隔が上記上限時間を越えることを条件として、上記タイミングが不正であることが検出される。

【0027】また、本発明の受信装置は、所定のデータ長の単位データを含むデータ列と、上記単位データと等しい長さを有し、上記データ列間に挿入される区切りデータとを含み、所定のクロック信号に同期して伝送される伝送データを受信する受信装置であって、上記伝送データに基づいて上記所定のクロック信号を再生した受信クロック信号を出力するクロック再生回路と、上記受信クロック信号に同期したタイミングで、上記伝送データを上記所定のデータ長ごとに分割した分割データを生成する伝送データ分割回路と、上記区切りデータを上記分割データから検出し、当該区切りデータと当該区切りデータを含む分割データとの相対位置を示す位置データを生成する区切りデータ検出回路と、同一の上記データ列を挟む 2 つの上記区切りデータの位置データを比較し、当該位置データが一致しないことを条件として、上記クロック再生回路によるクロック信号の再生が不正であることを知らせる第 1 のエラー信号を出力する第 1 のエラー検出回路とを有している。

【0028】また、上記区切りデータ検出回路は、上記区切りデータの検出を知らせる検出信号を出力する。さらに、上記検出信号に基づいて、上記区切りデータが検出される時間間隔を計時し、当該時間間隔と所定の上限時間とを比較し、当該時間間隔が上記上限時間を越えることを条件として、上記クロック再生回路によるクロック信号の再生が不正であることを知らせる第 2 のエラー信号を出力する第 2 のエラー検出回路を有している。

【0029】また、上記クロック再生回路は、上記伝送データと上記受信クロック信号との位相差を検出し、当該位相差に応じたレベルの位相差信号を出力する位相比較回路と、上記伝送データと上記受信クロック信号との周波数の差を検出し、当該周波数の差に応じたレベルの周波数差信号を出力する周波数比較回路と、上記第 1 のエラー信号または上記第 2 のエラー信号の入力時に上記位相差信号を選択して出力し、上記第 1 のエラー信号および上記第 2 のエラー信号の非入力時に上記周波数差信号を出力する選択回路と、上記選択回路の出力する信号のレベルに応じた周波数を有する上記受信クロック信号を出力する発振回路とを含んでいる。

【0030】上記の構成を有する本発明の受信装置によ

13

れば、クロック再生回路において、上記伝送データに基づいて上記所定のクロック信号を再生した受信クロック信号が出力される。上記分割データは、伝送データ分割回路において、上記伝送データが上記受信クロック信号に同期したタイミングで上記所定のデータ長ごとに分割されることにより生成される。上記位置データは、上記区切りデータ検出回路において、上記分割データから検出された区切りデータと、当該区切りデータを含む分割データとの相対位置に応じて生成される。第1のエラー検出回路において、同一の上記データ列を挟む2つの上記区切りデータの位置データが比較され、当該位置データが一致しないことを条件として、上記第1のエラー信号が出力される。また、上記第2のエラー検出回路において、上記区切りデータ検出回路による上記検出信号に基づいて、上記区切りデータが検出される時間間隔が計時され、当該時間間隔と所定の上限時間とが比較される。そして、当該時間間隔が上記上限時間を越えることを条件として、上記第2のエラー信号が出力される。また、上記クロック再生回路の上記位相比較回路においては、上記伝送データと上記受信クロック信号との位相差が検出され、当該位相差に応じたレベルの位相差信号が出力される。上記周波数比較回路においては、上記伝送データと上記受信クロック信号との周波数の差が検出され、当該周波数の差に応じたレベルの周波数差信号が出力される。そして、選択回路では、上記第1のエラー信号または上記第2のエラー信号の入力時に上記位相差信号が選択されて出力され、上記第1のエラー信号および上記第2のエラー信号の非入力時に上記周波数差信号が出力される。発振回路においては、上記選択回路の出力する信号のレベルに応じた周波数を有する上記受信クロック信号が出力される。これにより、上記第1のエラー信号および上記第2のエラー信号の入力・非入力に応じて、上記クロック再生回路の周波数引き込み範囲が可変される。

【0031】また、本発明の受信装置は、所定のデータ長の単位データを含むデータ列と、上記単位データと等しい長さを有し、上記データ列間に挿入される区切りデータとを含み、所定のクロック信号に同期して伝送される伝送データを受信する受信装置であって、上記伝送データに基づいて上記所定のクロック信号を再生した受信クロック信号を出力するクロック再生回路と、上記受信クロック信号に同期したタイミングで、当該伝送データを上記所定のデータ長ごとに順次入力して保持するラッチ回路と、上記ラッチ回路に上記伝送データが保持される度に、保持された当該伝送データから上記区切りデータを検出し、上記区切りデータが検出された伝送データにおける、上記区切りデータの検出位置に応じた位置データを生成する区切りデータ検出回路と、上記区切りデータが検出される度に、当該区切りデータの位置データと、最近に検出された区切りデータの位置データとを比

14

較し、当該位置データが一致しないことを条件として、上記クロック再生回路によるクロック信号の再生が不正であることを知らせる第1のエラー信号を出力する第1のエラー検出回路とを有している。

【0032】上記の構成を有する本発明の受信装置によれば、上記クロック再生回路において、上記伝送データに基づいて上記所定のクロック信号を再生した受信クロック信号が出力される。上記ラッチ回路においては、上記受信クロック信号に同期したタイミングで、当該伝送データが上記所定のデータ長ごとに順次入力されて保持される。上記区切りデータ検出回路においては、上記ラッチ回路に上記伝送データが保持される度に、当該保持された伝送データから上記区切りデータが検出される。また、上記区切りデータが検出された伝送データにおいて、上記区切りデータの検出位置に応じた位置データが生成される。第1のエラー検出回路において、上記区切りデータが検出される度に、当該区切りデータの位置データと、最近に検出された区切りデータの位置データとが比較される。そして、当該位置データが一致しないことを条件として、上記クロック再生回路によるクロック信号の再生が不正であることを知らせる第1のエラー信号が出力される。

【0033】本発明のデータ伝送装置は、所定のデータ長の単位データを含むデータ列と、上記単位データと等しい長さを有し、上記データ列間に挿入される区切りデータとを含んだ伝送データを送信部において生成して送信し、上記伝送データを受信部において受信するデータ伝送装置であって、上記受信部は、設定されたタイミングで、上記伝送データを上記所定のデータ長ごとに分割した分割データを生成する伝送データ分割回路と、上記区切りデータを上記分割データから検出し、当該区切りデータと当該区切りデータを含む分割データとの相対位置を示す位置データを生成する区切りデータ検出回路と、同一の上記データ列を挟む2つの上記区切りデータの位置データを比較し、当該位置データが一致しないことを条件として、上記タイミングが不正であることを検出する第1のエラー検出回路とを有している。

【0034】また、上記区切りデータ検出回路は、上記区切りデータの検出を知らせる検出信号を出力する。さらに、上記検出信号に基づいて、上記区切りデータが検出される時間間隔を計時し、当該時間間隔と所定の上限時間とを比較し、当該時間間隔が上記上限時間を越えることを条件として、上記タイミングが不正であることを検出する第2のエラー検出回路を有している。

【0035】本発明のデータ伝送装置によれば、上記伝送データ分割回路において、上記伝送データが、ある設定されたタイミングで上記所定のデータ長ごとに分割されることによって上記分割データが生成される。上記位置データは、上記区切りデータ検出回路において検出された当該区切りデータと、当該区切りデータを含む分割

15

データとの相対位置に応じて生成される。そして、上記第1のエラー検出回路において、同一の上記データ列を挟む2つの上記区切りデータの位置データが比較され、当該位置データが一致しないことを条件として、上記タイミングが不正であることが検出される。また、上記第2のエラー検出回路において、上記区切りデータ検出回路による上記検出信号に基づいて、上記区切りデータが検出される時間間隔が計時され、当該時間間隔と所定の上限時間とが比較される。そして、当該時間間隔が上記上限時間を越えることを条件として、上記タイミングが不正であることが検出される。

【0036】また、本発明のデータ伝送装置は、所定のデータ長の単位データを含むデータ列と、上記単位データと等しい長さを有し、上記データ列間に挿入される区切りデータとを含む伝送データを送信部において生成して、所定のクロック信号に同期して送信し、上記伝送データを受信部において受信するデータ伝送装置であって、上記受信部は、上記伝送データに基づいて上記所定のクロック信号を再生した受信クロック信号を出力するクロック再生回路と、上記受信クロック信号に同期したタイミングで、上記伝送データを上記所定のデータ長ごとに分割した分割データを生成する伝送データ分割回路と、上記区切りデータを上記分割データから検出し、当該区切りデータと当該区切りデータを含む分割データとの相対位置を示す位置データを生成する区切りデータ検出回路と、同一の上記データ列を挟む2つの上記区切りデータの位置データを比較し、当該位置データが一致しないことを条件として、上記クロック再生回路によるクロック信号の再生が不正であることを知らせる第1のエラー信号を出力する第1のエラー検出回路とを有している。

【0037】また、上記区切りデータ検出回路は、上記区切りデータの検出を知らせる検出信号を出力する。さらに、上記検出信号に基づいて、上記区切りデータが検出される時間間隔を計時し、当該時間間隔と所定の上限時間とを比較し、当該時間間隔が上記上限時間を越えることを条件として、上記クロック再生回路によるクロック信号の再生が不正であることを知らせる第2のエラー信号を出力する第2のエラー検出回路を有している。

【0038】また、上記クロック再生回路は、上記伝送データと上記受信クロック信号との位相差を検出し、当該位相差に応じたレベルの位相差信号を出力する位相比較回路と、上記伝送データと上記受信クロック信号との周波数の差を検出し、当該周波数の差に応じたレベルの周波数差信号を出力する周波数比較回路と、上記第1のエラー信号または上記第2のエラー信号の入力時に上記位相差信号を選択して出力し、上記第1のエラー信号および上記第2のエラー信号の非入力時に上記周波数差信号を出力する選択回路と、上記選択回路の出力する信号のレベルに応じた周波数を有する上記受信クロック信号

16

を出力する発振回路とを含んでいる。

【0039】上記の構成を有する本発明のデータ伝送装置によれば、クロック再生回路において、上記伝送データに基づいて上記所定のクロック信号を再生した受信クロック信号が出力される。上記分割データは、上記伝送データ分割回路において、上記伝送データが上記受信クロック信号に同期したタイミングで上記所定のデータ長ごとに分割されることにより生成される。上記位置データは、上記区切りデータ検出回路において、上記分割データから検出された区切りデータと、当該区切りデータを含む分割データとの相対位置に応じて生成される。第1のエラー検出回路において、同一の上記データ列を挟む2つの上記区切りデータの位置データが比較され、当該位置データが一致しないことを条件として、上記第1のエラー信号が出力される。また、上記第2のエラー検出回路において、上記区切りデータ検出回路による上記検出信号に基づいて、上記区切りデータが検出される時間間隔が計時され、当該時間間隔と所定の上限時間とが比較される。そして、当該時間間隔が上記上限時間を越えることを条件として、上記第2のエラー信号が出力される。また、上記クロック再生回路の上記位相比較回路においては、上記伝送データと上記受信クロック信号との位相差が検出され、当該位相差に応じたレベルの位相差信号が出力される。上記周波数比較回路においては、上記伝送データと上記受信クロック信号との周波数の差が検出され、当該周波数の差に応じたレベルの周波数差信号が出力される。そして、選択回路では、上記第1のエラー信号または上記第2のエラー信号の入力時に上記位相差信号が選択されて出力され、上記第1のエラー信号および上記第2のエラー信号の非入力時に上記周波数差信号が出力される。発振回路においては、上記選択回路の出力する信号のレベルに応じた周波数を有する上記受信クロック信号が出力される。これにより、上記第1のエラー信号および上記第2のエラー信号の入力・非入力に応じて、上記クロック再生回路の周波数引き込み範囲が可変される。

【0040】また本発明のデータ伝送装置は、所定のデータ長の単位データを含むデータ列と、上記単位データと等しい長さを有し、上記データ列間に挿入される区切りデータとを含む伝送データを送信部において生成して、所定のクロック信号に同期して送信し、上記伝送データを受信部において受信するデータ伝送装置であって、上記受信部は、上記伝送データに基づいて上記所定のクロック信号を再生した受信クロック信号を出力するクロック再生回路と、上記受信クロック信号に同期したタイミングで、当該伝送データを上記所定のデータ長ごとに順次入力して保持するラッチ回路と、上記ラッチ回路に上記伝送データが保持される度に、保持された当該伝送データから上記区切りデータを検出し、上記区切りデータが検出された伝送データにおける、上記区切りデ

17

ータの検出位置に応じた位置データを生成する区切りデータ検出回路と、上記区切りデータが検出される度に、当該区切りデータの位置データと、最近に検出された区切りデータの位置データとを比較し、当該位置データが一致しないことを条件として、上記クロック再生回路によるクロック信号の再生が不正であることを知らせる第1のエラー信号を出力する第1のエラー検出回路とを有している。

【0041】上記の構成を有する本発明のデータ伝送装置によれば、上記クロック再生回路において、上記伝送データに基づいて上記所定のクロック信号を再生した受信クロック信号が出力される。上記ラッチ回路においては、上記受信クロック信号に同期したタイミングで、当該伝送データが上記所定のデータ長ごとに順次入力されて保持される。上記区切りデータ検出回路においては、上記ラッチ回路に上記伝送データが保持される度に、当該保持された伝送データから上記区切りデータが検出される。また、上記区切りデータが検出された伝送データにおいて、上記区切りデータの検出位置に応じた位置データが生成される。第1のエラー検出回路において、上記区切りデータが検出される度に、当該区切りデータの位置データと、最近に検出された区切りデータの位置データとが比較される。そして、当該位置データが一致しないことを条件として、上記クロック再生回路によるクロック信号の再生が不正であることを知らせる第1のエラー信号が出力される。

【0042】

【発明の実施の形態】以下、本発明の実施形態について、図面を参照しながら説明する。

【0043】図1は、本発明に係るデータ伝送装置の動作を説明するブロック図である。図1において、10は送信部を、20Aは受信部を、11は8B10B変換部を、12はコンマキャラクタ付加部を、13はパラレル-シリアル変換部を、14は送信クロック発生部を、21Aはシリアル-パラレル変換部を、22はコンマキャラクタ除去部を、23は10B8B変換部を、24Aはクロック再生部を、25Aはエラー検出部をそれぞれ示している。

【0044】送信部10は、例えば100MHzのクロック信号CLK1に同期して供給される8ビットのパラレルデータS1をシリアルデータに変換して受信部20に出力する。送信部10は、8B10B変換部11、コンマキャラクタ付加部12、パラレル-シリアル変換部13および送信クロック発生部14によって構成されている。受信部20は、送信部から伝送されたシリアルデータから100MHzのクロック信号CLK4を再生するとともに、このクロック信号CLK4に同期した8ビットのパラレルデータS20を再生する。受信部20は、シリアル-パラレル変換部21A、コンマキャラクタ除去部22、10B8B変換部23、クロック再生部

18

24Aおよびエラー検出部25Aによって構成されている。

【0045】8B10B変換部11は、100MHzのクロック信号CLK1に同期して供給される8ビットのパラレルデータS1に上述した8B10Bの変換を行って10ビットのデータに変換し、これをコンマキャラクタ付加部12に出力する。コンマキャラクタ付加部12は、8B10B変換部11において10ビットに変換されたデータに上述した10ビットのコンマキャラクタを付加し、これをパラレル-シリアル変換部13に出力する。パラレル-シリアル変換部13は、コンマキャラクタ付加部12から出力された10ビットパラレルデータを、送信クロック発生部14による1GHzの送信クロック信号CLK2に同期したシリアルデータS10に変換し、これを受信部20に出力する。送信クロック発生部14は、供給された100MHzのクロック信号CLK1から1GHzの送信クロック信号CLK2を生成し、これをパラレル-シリアル変換部13に供給する。

【0046】シリアル-パラレル変換部21Aは、送信部10から伝送されたシリアルデータS10を、クロック再生部24Aで再生される、例えば200MHzの受信クロック信号CLK3Aに同期してラッチして20ビットのパラレルデータに変換し、これをコンマキャラクタ除去部22およびエラー検出部25Aに出力する。コンマキャラクタ除去部22は、シリアル-パラレル変換部21によるパラレルデータからコンマキャラクタを検出してワードの区切りを識別し、コンマキャラクタを除く10ビットのパラレルデータを10B8B変換部23へ出力する。10B8B変換部23は、コンマキャラクタ除去部22で識別された10ビットのパラレルデータに10B8B変換を行って8ビットのパラレルデータS20を再生し、クロック再生部24の出力する100MHzのクロック信号CLK4に同期してこれを出力する。

【0047】クロック再生部24Aは、シリアルデータS10に同期した、例えば200MHzのクロック信号CLK3Aを再生し、これをシリアル-パラレル変換部21に供給する。また、このクロック信号CLK3Aを分周して生成した100MHzのクロック信号CLK4をコンマキャラクタ除去部22、10B8B変換部23およびエラー検出部25Aに供給する。クロック再生部24Aの内部PLL回路において生成されるクロック信号CLK3Aの周波数は200MHzであり、上述した従来のクロック再生部24にけるクロック信号CLK3の周波数の1GHzより低く設定されている。そのため、クロック再生部24Aを含む受信部20AをCMOSプロセスによってIC化することができる。

【0048】さらにクロック再生部24Aは、再生したクロック信号CLK3AがシリアルデータS10に対して同期していないことを知らせるロックエラー信号S2

50

19

5 Aに応じて、内部PLLの周波数引き込み範囲を可変させる。すなわち、クロック再生部24 Aの内部PLLにおける周波数のロックが外れて、クロック信号CLK 3 AがシリアルデータS 1 0に対して同期していない場合には、ロックエラー信号S 2 5 Aに応じてクロック再生部24 Aの内部PLLの周波数引き込み範囲を広げることにより、クロック信号CLK 3 Aの周波数をシリアルデータS 1 0に再びロックさせる制御が行われる。

【0049】エラー検出部25 Aは、シリアル-パラレル変換部21 Aにおいてシリアルからパラレルに変換された20ビットのパラレルデータに含まれるコンマキャラクタを検出し、このコンマキャラクタが20ビットのパラレルデータにおいて検出される相対位置の変化から、クロック再生部24 Aにおいて再生されたクロック信号CLK 3 AがシリアルデータS 1 0に対して同期しているか否かを検出する。また、コンマキャラクタが検出される時間間隔を計時し、この時間間隔が所定の時間(20 μ s)を超えるか否かを検出する。そして、これらの検出結果に基づいてロックエラー信号S 2 5 Aを生成し、これをクロック再生部24 Aに出力する。

【0050】100MHzのクロック信号CLK 1に同期して受信部10に供給された8ビットのパラレルデータS 1は、8B10B変換部11において10ビットのパラレルデータに変換され、コンマキャラクタ付加部12においてコンマキャラクタを付加された後、パラレル-シリアル変換部13において、1GHzの送信クロック信号CLK 2に同期したシリアルデータS 10に変換されて、受信部20に出力される。受信部20に伝送されたシリアルデータS 10は、クロック再生部24 Aに入力されて、このシリアルデータS 10に同期した200MHzのクロック信号CLK 3 Aが再生される。シリアル-パラレル変換部21 Aに入力されたシリアルデータS 10は、この再生されたクロック信号CLK 3 Aに同期してラッチされることにより20ビットのパラレルデータに変換されて、コンマキャラクタ除去部22に出力される。そして、コンマキャラクタ除去部22においてこのパラレルデータからコンマキャラクタが検出されることによりワードの区切りが識別され、コンマキャラクタを除く10ビットのパラレルデータが得られる。この10ビットのパラレルデータが10B8B変換部で8ビットに変換されて、元のパラレルデータが再生される。再生されたクロック信号CLK 3 AとシリアルデータS 10が同期していない場合は、エラー検出部25 Aにおいて生成されたロックエラー信号S 2 5 Aに応じてクロック再生部24 Aの周波数引き込み範囲が可変されることにより、クロック信号CLK 3 AとシリアルデータS 10とが同期するように制御される。

【0051】次に、クロック再生部24 Aの動作について、さらに詳しく説明する。図2は、クロック再生部24 Aの動作を説明するブロック図である。図2におい

20

て、241は位相比較回路を、242は位相周波数比較回路を、243および244はセレクトを、245はチャージポンプ回路を、246はローパスフィルタを、247は電圧制御発振器を、248および249は分周回路をそれぞれ示している。

【0052】位相比較回路241は、送信部10から伝送されたシリアルデータS 10と電圧制御発振器247によるクロック信号CLK 3 Aとの位相を比較し、シリアルデータS 10に対するクロック信号CLK 3 Aの位相進みまたは位相遅れに応じて、アップ信号S 241およびダウン信号S 242にハイレベルの信号を出力する。位相周波数比較回路242は、送信部10から伝送されたシリアルデータS 10と分周回路248の出力信号S 248との周波数を比較し、シリアルデータS 10に対する出力信号S 241の周波数の大小に応じて、アップ信号S 243およびダウン信号S 244にハイレベルの信号を出力する。

【0053】セレクト243は、エラー検出部25 Aの出力するロックエラー信号S 25 Aの入力に応じて、位相比較回路241によるアップ信号S 241または位相周波数比較回路242によるアップ信号S 243の何れかを選択し、チャージポンプ回路245に出力する。具体的には、ロックエラー信号S 25 Aの入力時に位相周波数比較回路242によるアップ信号S 243を選択し、非入力時に位相比較回路241によるアップ信号S 241を選択する。セレクト244は、エラー検出部25 Aの出力するロックエラー信号S 25 Aの入力に応じて、位相比較回路241によるダウン信号S 242または位相周波数比較回路242によるダウン信号S 244の何れかを選択し、チャージポンプ回路245に出力する。具体的には、ロックエラー信号S 25 Aの入力時に位相周波数比較回路242によるダウン信号S 244を選択し、非入力時に位相比較回路241によるダウン信号S 242を選択する。すなわち、ロックエラー信号S 25 Aの入力時には位相周波数比較回路242の出力信号が選択され、非入力時には位相比較回路241の出力信号が選択されて、チャージポンプ回路245に入力される。

【0054】チャージポンプ回路245は、セレクト243において選択されたアップ信号S 245およびセレクト244において選択されたダウン信号S 246に応じて図示しない内部のキャパシタに電荷を充電し、そのキャパシタ電圧をローパスフィルタ246へ出力する。例えば、アップ信号S 245がハイレベルのときにキャパシタに電荷を充電し、ダウン信号S 245がハイレベルのときに電荷を放電する。ローパスフィルタ246は、チャージポンプ回路245の出力する電圧信号を平滑化して電圧制御発振回路247に出力する。電圧制御発振回路247は、ローパスフィルタの出力する平滑化された電圧信号に応じた周波数で発振してクロック信号

21

CLK3Aを生成し、位相比較回路241および分周回路248へ出力する。分周回路248は、クロック信号CLK3Aを所定の分周数、例えば2分周で分周させた信号S248を生成し、位相周波数比較回路242へ出力する。分周回路249は、クロック信号CLK3Aを2分周で分周させたクロック信号CLK4を生成する。分周数が同じ場合には、分周回路248と分周回路249を共用させても良い。

【0055】クロック再生部24Aは、ロックエラー信号S25Aに応じて2つの位相比較部が切り換えられることを除けば、PLLの一般的な構成を有している。ロックエラー信号S25Aが非入力時、すなわちクロック信号CLKがシリアルデータS10に同期している場合は、位相比較回路241の出力するアップ信号S241およびダウン信号S242がセクタ243およびセクタ244によって選択されて、チャージポンプ回路245に供給される。

【0056】クロック信号CLK3Aの位相がシリアルデータS10に対して遅れている場合には、例えば位相比較回路241のアップ信号S241がハイレベルに設定されてチャージポンプ回路245の図示しないキャパシタが充電されることによりローパスフィルタ246で平滑化されて電圧制御発振回路247に供給される電圧が上昇し、これによりクロック信号CLK3Aの周波数が上昇して、クロック信号CLK3Aの位相が進む方向に制御される。また逆に、クロック信号CLK3Aの位相がシリアルデータS10に対して進んでいる場合には、例えば位相比較回路241のダウン信号S242がハイレベルに設定されてチャージポンプ回路245の図示しないキャパシタが放電されることによりローパスフィルタ246で平滑化されて電圧制御発振回路247に供給される電圧が低下し、これによりクロック信号CLK3Aの周波数が低下して、クロック信号CLK3Aの位相が遅れる方向に制御される。このようにして、クロック信号CLK3AがシリアルデータS10に対して同期するように、クロック信号CLK3Aの周波数が制御される。

【0057】また、ロックエラー信号S25Aが入力時、すなわちクロック信号CLKがシリアルデータS10に同期していない場合は、位相周波数比較回路242の出力するアップ信号S243およびダウン信号S244がセクタ243およびセクタ244によって選択されて、チャージポンプ回路245に供給される。位相周波数比較回路242は、位相比較回路241に比べて入力信号の周波数差の許容範囲が広い。すなわち、入力信号の周波数差が大きい場合でも、この周波数差に応じたアップ信号およびダウン信号を出力できる。そこで、クロック信号CLKとシリアルデータS10の周波数差が位相比較回路241で検出できる限界を越えてロックエラー信号S25Aが発生した場合には、チャージポン

22

プ回路245に入力させる位相比較信号を位相比較回路241から位相周波数比較回路242に切り換えることにより、クロック信号CLKとシリアルデータS10の周波数差が制御可能となる。

【0058】クロック信号CLK3Aの周波数がシリアルデータS10の周波数より低い場合には、例えば位相周波数比較回路242のアップ信号S243がハイレベルに設定されてチャージポンプ回路245の図示しないキャパシタが充電されることによりローパスフィルタ246で平滑化されて電圧制御発振回路247に供給される電圧が上昇し、これによりクロック信号CLK3Aの周波数が上昇する方向に制御される。また逆に、クロック信号CLK3Aの周波数がシリアルデータS10の周波数より高い場合には、例えば位相周波数比較回路242のダウン信号S244がハイレベルに設定されてチャージポンプ回路245の図示しないキャパシタが放電されることによりローパスフィルタ246で平滑化されて電圧制御発振回路247に供給される電圧が低下し、これによりクロック信号CLK3Aの周波数が低下する方向に制御される。このようにして、クロック信号CLK3AがシリアルデータS10に対して同期するように、クロック信号CLK3Aの周波数が制御される。

【0059】なお、図3に示すように、位相周波数比較回路242においてクロック信号CLK3Aと比較させる信号を、シリアルデータS10から基準クロック信号に変更することも可能である。図3は、位相周波数比較回路242に基準クロック信号を供給した場合のクロック再生部24Aのブロック図である。図3と図2において、同一符号は同一の構成要素を示している。図3に示すように、位相周波数比較回路242においてクロック信号CLK3Aと比較させる信号を基準クロック信号Ref-CLKにすることで、クロック信号CLK3Aを確実に所定の周波数に設定させることができる。

【0060】次に、シリアル-パラレル変換部21Aの動作について、更に詳しく説明する。図4は、受信部20Aにおけるシリアル-パラレル変換部21Aの動作を説明するブロック図である。図4において、211はシリアル-5ビットパラレル変換部を、212は5ビットパラレル-20ビットパラレル変換部をそれぞれ示している。

【0061】シリアル-5ビットパラレル変換部211は、送信部10から伝送されたシリアルデータS10を、クロック再生部24Aにより再生されたクロック信号CLK3Aに同期してラッチし、5ビットのパラレルデータS211を生成して5ビットパラレル-20ビットパラレル変換部212に出力する。ファイバ・チャネルにおけるシリアルデータS10の伝送速度は1Gbpsであり、一方クロック再生部25Aにおいて再生されるクロック信号CLK3Aの周波数はこれより低い周波数、例えば200MHzである。このような場合、例え

23

ばクロック信号CLK3Aに対してシリアルデータS10の1ビット分から4ビット分の遅延時間(1ns~4ns)を与えたクロック信号を4つ生成し、シリアルデータS10をこの4つのクロック信号とクロック信号CLK3Aによってそれぞれ独立にラッチし、さらにこのラッチした5つのデータをクロック信号CLK3Aに同期してラッチすれば、クロック信号CLK3Aに同期させた5ビットの平行データS211を生成させることができる。

【0062】5ビット平行-20ビット平行変換部212は、シリアル-5ビット平行変換部211から出力された平行データS211をクロック信号CLK3Aに同期して内部レジスタにラッチさせ、20ビットの平行データS21を生成してコンマキャラクタ除去部22およびエラー検出部25Aに出力する。

【0063】送信部10から伝送されたシリアルデータS10は、シリアル-5ビット平行変換部211において、クロック再生部24Aによるクロック信号CLK3Aに同期した5ビットの平行データS211に変換され、さらに5ビット平行-20ビット平行変換部212において20ビットの平行データS21に変換されて、コンマキャラクタ除去部22およびエラー検出部25Aに出力される。

【0064】上述した5ビット平行-20ビット平行変換部212の動作について、図を参照しながら更に詳しく説明する。図5は、5ビット平行-20ビット平行変換部212の動作を説明するブロック図である。図5において、2121~2126はラッチ回路を、2127は分周回路をそれぞれ示している。

【0065】ラッチ回路2121は、シリアル-5ビット平行変換部211において生成された5ビットの平行データS211をクロック信号CLK3Aに同期してラッチし、ラッチ回路2122およびラッチ回路2124に出力する。ラッチ回路2122は、ラッチ回路2121においてラッチされた5ビットの平行データをクロック信号CLK3Aに同期してラッチし、ラッチ回路2123に出力する。ラッチ回路2123は、ラッチ回路2122においてラッチされた5ビットの平行データをクロック信号CLK3Aに同期してラッチし、ラッチ回路2125に出力するとともに、20ビット平行データのうちのビット9~ビット5のデータとして、コンマキャラクタ除去回路22およびエラー検出回路25Aに出力する。ラッチ回路2124は、ラッチ回路2121においてラッチされた5ビットの平行データをクロック信号CLK3Aに同期してラッチし、ラッチ回路2126に出力するとともに、20ビット平行データのうちのビット4~ビット0のデータとして、コンマキャラクタ除去回路22およびエラー検出回路25Aに出力する。ラッチ回路2125は、ラッ

24

チ回路2123においてラッチされた5ビットの平行データをクロック信号CLK3Aに同期してラッチし、20ビット平行データのうちのビット19~ビット15のデータとして、コンマキャラクタ除去回路22およびエラー検出回路25Aに出力する。ラッチ回路2126は、ラッチ回路2124においてラッチされた5ビットの平行データをクロック信号CLK3Aに同期してラッチし、20ビット平行データのうちのビット14~ビット10のデータとして、コンマキャラクタ除去回路22およびエラー検出回路25Aに出力する。

【0066】分周回路2127は、200MHzのクロック信号CLK3Aを分周数2で分周した100MHzのクロック信号CLK3Bを生成して、ラッチ回路2123~2126に供給する。

【0067】図6は、5ビット平行-20ビット平行変換部212におけるタイミングチャートを示す図である。図6において(A)はシリアルデータS10の波形図を、(B)はクロック信号CLK3Aの波形図を、(C)はラッチ回路2121にラッチされた5ビットの平行データS2121を、(D)は5ビット平行-20ビット平行変換部において生成される20ビットの平行データS21を、(E)はクロック信号CLK3Bをそれぞれ示している。また、波形図(B)に付した数字1~8は、それぞれの周期のクロックを示している。同様に、波形図(E)に付した数字1~4も、それぞれの周期のクロックを示している。また、波形図(C)に付したアルファベットA~Hは、それぞれの周期における平行データS2121の値を示している。波形図(D)に付したアルファベットABCDおよびCDEFは、それぞれの周期における20ビットの平行データS21の値を示している。ただし、アルファベットA~Fの示す値は波形図(C)に付したアルファベットA~Fと等しい値を示し、この値が、平行データS21を上位ビット19から下位ビット0の間で4分割してできる各5ビットデータの値にそれぞれ対応している。

【0068】まず、クロック信号CLK3Aのクロック1の立ち上がりエッジに同期して、ラッチ回路2121に5ビット平行データS211の値Aがラッチされる。次に、クロック信号CLK3Aのクロック2の立ち上がりエッジに同期してラッチ回路2121に値Bがラッチされるとともに、ラッチ回路2122に値Aがラッチされる。次に、クロック信号CLK3Bのクロック2の立ち上がりエッジに同期して、ラッチ回路2122およびラッチ回路2121にラッチされた値Aおよび値Bがラッチ回路2123およびラッチ回路2124にそれぞれラッチされる。また同時に、クロック信号CLK3Aのクロック3の立ち上がりエッジに同期して、ラッチ回路2121には値Cがラッチされる。次に、クロック信

25

号CLK3Aのクロック4の立ち上がりエッジに同期してラッチ回路2121に値Dがラッチされるとともに、ラッチ回路2122に値Cがラッチされる。次に、クロック信号CLK3Bのクロック3の立ち上がりエッジに同期して、ラッチ回路2123およびラッチ回路2124にラッチされた値Aおよび値Bがラッチ回路2125およびラッチ回路2126にそれぞれラッチされる。また同時に、ラッチ回路2122およびラッチ回路2121にラッチされた値Cおよび値Dはラッチ回路2123およびラッチ回路2124にそれぞれラッチされる。したがってこの時、20ビットの平行データS21の値は、ビット19～ビット15が値A、ビット14～ビット10が値B、ビット9～ビット5が値C、ビット4～ビット0が値Dとなる。また、クロック信号CLK3Aのクロック5の立ち上がりエッジに同期して、ラッチ回路2121には値Eがラッチされる

【0069】次に、クロック信号CLK3Aのクロック6の立ち上がりエッジに同期して、ラッチ回路2121に値Fがラッチされるとともに、ラッチ回路2122に値Eがラッチされる。次に、クロック信号CLK3Bのクロック4の立ち上がりエッジに同期して、ラッチ回路2123およびラッチ回路2124にラッチされた値Cおよび値Dがラッチ回路2125およびラッチ回路2126にそれぞれラッチされる。また同時に、ラッチ回路2122およびラッチ回路2121にラッチされた値Eおよび値Fはラッチ回路2123およびラッチ回路2124にそれぞれラッチされる。したがってこの時、20ビットの平行データS21の値は、ビット19～ビット15が値C、ビット14～ビット10が値D、ビット9～ビット5が値E、ビット4～ビット0が値Fとなる。すなわち、クロック信号CLK3Bのクロック3においてビット9～ビット0にあった10ビットのデータが、次のクロック4においてビット19～ビット10に移動し、この間に入力された値Eと値Fによる10ビットのデータがビット9～ビット0に出力される。

【0070】以上のようにして、5ビットパラレル20ビットパラレル変換部212において、100MHzのクロック信号CLK3Bに同期して下位10ビットのデータが上位の10ビットのデータと置き代わるとともに、新しく入力されたデータが下位10ビットに出力される、20ビットの平行データS21が生成される。

【0071】次に、エラー検出部25Aの動作について、更に詳しく説明する。図7は、エラー検出部25Aの動作を説明するブロック図である。図7において、251はコンマキャラクタ検出回路を、252は位置エラー検出回路を、253は時間エラー検出回路を、254はOR回路をそれぞれ示している。

【0072】コンマキャラクタ検出回路251は、5ビットパラレル20ビットパラレル変換部212により

26

生成された平行データS21の中から所定値のコンマキャラクタを検出して、コンマキャラクタの検出位置に応じた10ビットの位置データS251を生成し、位置エラー検出回路252に出力する。また、コンマキャラクタが検出されたことを知らせる検出信号S252を生成し、位置エラー検出回路252および時間エラー検出回路253に出力する。

【0073】位置エラー検出回路252は、コンマキャラクタ検出回路251による位置データS251および検出信号S252を受けて、前回検出したコンマキャラクタの位置データと今回検出したコンマキャラクタの位置データの値を比較し、両者の値が異なっている場合に、エラー信号S253をOR回路254に出力する。

【0074】時間エラー検出回路253は、コンマキャラクタが検出されたことを知らせる検出信号S252が入力されてからの時間を計時し、この計時時間が所定の時間、例えば20μsを越えた場合に、エラー信号S254をOR回路254に出力する。20μsに達しない時間で検出信号S252が入力された場合はそれまで計時した時間をリセットし、再び検出信号S252が入力されるまでの時間を計時する。

【0075】OR回路254は、位置エラー検出回路252によるエラー信号S253および時間エラー検出回路253によるエラー信号S254を受けて、何れか一方または両方のエラー信号を検出した場合に、クロック信号CLK3AがシリアルデータS10に同期していないことを知らせるロックエラー信号S25Aをクロック再生部24Aに出力する。

【0076】コンマキャラクタ検出回路251において20ビットの平行データS21の中からコンマキャラクタが検出され、コンマキャラクタが検出された場合に、その検出位置を知らせる10ビットの位置データS251およびコンマキャラクタの検出を知らせる検出信号S252が生成されて、位置エラー検出回路252に出力される。そして位置エラー検出回路252において、前回検出されたコンマキャラクタの位置データと今回検出されたコンマキャラクタの位置データの値が比較され、両者の値が異なっている場合に、エラー信号S253がOR回路254に出力されて、ロックエラー信号S25Aが出力される。また、検出信号S252は時間エラー検出回路253にも入力されて、検出信号S252が検出される時間間隔が計時される。そして、この計時時間が所定の時間を越えた場合に、エラー信号S254がOR回路254に出力されて、ロックエラー信号S25Aが出力される。

【0077】上述したコンマキャラクタ検出回路251について、図面を参照しながら更に詳しく説明する。図8は、コンマキャラクタ検出回路251の動作を説明する回路図である。図8において、2510～2519はAND回路を、2520はOR回路をそれぞれ示してい

る。

【0078】AND回路2510は、20ビットパラレルデータ21のビット0～ビット6のビットデータを受けて、これが“0011111”（但し“1”はハイレベル、“0”はローレベルを示す）のビットパターンと一致する場合に値“1”を、一致しない場合に値“0”を位置データS251のビット0として出力する。AND回路2511は、パラレルデータS21のビット1～ビット7のビットデータが“0011111”のビットパターンと一致する場合に値“1”を、一致しない場合に値“0”を位置データS251のビット1として出力する。AND回路2512は、パラレルデータS21のビット2～ビット8のビットデータが“0011111”のビットパターンと一致する場合に値“1”を、一致しない場合に値“0”を位置データS251のビット2として出力する。AND回路2513は、パラレルデータS21のビット3～ビット9のビットデータが“0011111”のビットパターンと一致する場合に値“1”を、一致しない場合に値“0”を位置データS251のビット3として出力する。AND回路2514は、パラレルデータS21のビット4～ビット10のビットデータが“0011111”のビットパターンと一致する場合に値“1”を、一致しない場合に値“0”を位置データS251のビット4として出力する。AND回路2515は、パラレルデータS21のビット5～ビット11のビットデータが“0011111”のビットパターンと一致する場合に値“1”を、一致しない場合に値“0”を位置データS251のビット5として出力する。AND回路2516は、パラレルデータS21のビット6～ビット12のビットデータが“0011111”のビットパターンと一致する場合に値“1”を、一致しない場合に値“0”を位置データS251のビット6として出力する。AND回路2517は、パラレルデータS21のビット7～ビット13のビットデータが“0011111”のビットパターンと一致する場合に値“1”を、一致しない場合に値“0”を位置データS251のビット7として出力する。AND回路2518は、パラレルデータS21のビット8～ビット14のビットデータが“0011111”のビットパターンと一致する場合に値“1”を、一致しない場合に値“0”を位置データS251のビット8として出力する。AND回路2519は、パラレルデータS21のビット9～ビット15のビットデータが“0011111”のビットパターンと一致する場合に値“1”を、一致しない場合に値“0”を位置データS251のビット9として出力する。

【0079】OR回路252は、AND回路2510～2519の出力する10ビットの位置データS251を受けて、位置データS251の各ビットのデータが何れか1つでも値“1”となった場合に、値“1”の信号を

検出信号S252として出力する。

【0080】パラレルデータS21においては、クロック信号CLK3Aに同期して取り込まれたシリアルデータS10が10ビット毎に分割されている。そして上述したように、100MHzのクロック信号CLK4に同期して、この分割された10ビットデータ（分割データ）の下位10ビットと上位10ビットとが置き変わり、新しく入力されたデータが下位10ビットに供給される。したがって、パラレルデータS21の上位10ビットのデータにおいてコンマキャラクタ“0011111xxx”を監視することにより、受信部20Aに入力された伝送データに含まれるコンマキャラクタを洩れなく検出することができる。

【0081】この場合、10ビットの分割データにおいて検出されるコンマキャラクタの位置は、コンマキャラクタと、このコンマキャラクタを含む分割データとの相対位置に応じて、10通りのパターンがある。例えば、コンマキャラクタの上位ビットとこれを含む分割データの上位ビットとの相対距離に着目した場合、この距離には0ビットから9ビットまで10通りのパターンある。AND回路2510～2519は、コンマキャラクタの検出位置に関するこの10通りのパターンの全てを検出するものである。このAND回路2510～2519の出力により、検出位置を示す10ビットの位置データS251が生成され、エラー検出部25Aに出力される。

【0082】次に、上述した位置エラー検出回路252について、更に詳しい動作を説明する。

【0083】図9は、位置エラー検出回路252の動作を説明する回路図である。図9において、2521はエンコーダを、2522はセクタを、2523および2525はラッチ回路を、2524はEX-OR回路をそれぞれ示している。

【0084】エンコーダ2521は、コンマキャラクタ検出回路251より出力される10ビットの位置データS251を4ビットのデータS2521に変換して、セクタ2522に出力する。上述したように、位置データS251は10ビットのうちの何れか1ビットの値が“1”となり、その他のビットは“0”となる10通りのビットパターンを持ったデータである。エンコーダ2521は、この10通りのパターンのそれぞれに対応する4ビットのデータS2521を生成する。

【0085】セクタ2522は、コンマキャラクタ検出回路251より出力される検出信号S252に応じて、ラッチ回路2523の出力する4ビットのデータS2523またはエンコーダ2521の出力する4ビットのデータS2521の何れかを選択し、EX-OR回路2524およびラッチ回路2523に出力する。

【0086】ラッチ回路2523は、セクタ2522の出力する4ビットのデータS2522をクロック信号CLK4に同期してラッチし、ラッチしたデータS25

29

23をセクタ2522およびEX-OR回路2524に出力する。

【0087】EX-OR回路2524は、セクタ2522の出力するデータS2522とラッチ回路2523においてラッチされたデータS2523との不一致を検出し、これらのデータが一致しない場合に値“1”をラッチ回路2525に出力する。

【0088】ラッチ回路2525は、コンマキャラクタ検出回路251より出力される検出信号S252の値が“1”であり、かつEX-OR回路2524の出力信号の値が“1”の場合に、クロック信号CLK4に同期して値“1”の信号をラッチし、エラー信号S253としてOR回路254に出力する。また、コンマキャラクタ検出回路251より出力される検出信号S252の値が“0”であるか、またはEX-OR回路2524の出力信号の値が“0”の場合には、値“0”をエラー信号S253としてOR回路254に出力する。

【0089】コンマキャラクタ検出回路251より出力される10ビットの位置データS251は、エンコーダ2521において4ビットのデータS2521と1対1に変換されて、セクタ2522に出力される。このデータS2521は、ラッチ回路2523がラッチしている4ビットデータS2523とともにセクタ2522に入力され、検出信号S252の値が“1”の場合にデータS2521が、“0”の場合にデータS2523が選択されて、ラッチ回路2523およびEX-OR回路2524に入力される。したがって、検出信号S252の値が“1”の時にセクタ2522からラッチ回路2523に入力されてラッチされたデータS2523は、検出信号S252の値が“1”から“0”に戻った後もラッチ回路2523において保持されたままの状態になっている。すなわち、ラッチ回路2523には前回検出されたコンマキャラクタの位置データが保持されている。

【0090】一方、検出信号S252の値が“0”の場合、EX-OR回路2524の入力には同一のデータが入力されるので、その出力信号値は“0”になる。コンマキャラクタが検出されて検出信号S252の値が“1”になると、EX-OR回路2524の入力には前回の位置データS2523と今回の位置データS2521が入力されるので、前回の位置データと今回の位置データが一致している場合は出力信号値が“0”、一致していない場合には出力信号値が“1”となる。そして、このEX-OR回路2524の出力信号値がラッチ回路2525にラッチされ、エラー信号S253としてOR回路254に出力される。

【0091】このように、位置エラー検出回路252においては、前回検出されたコンマキャラクタの位置データと今回検出された位置データとが比較され、これらの位置データの値が異なっている場合、値“1”のエラー

30

信号S253が出力される。このエラー信号によって、クロック信号CLK3AがシリアルデータS10と同期していないことを知らせるロックエラー信号S25Aが出力される。

【0092】図10は、受信部20Aにおいてパラレルデータに変換されたデータ列を示す図である。図10において、(A)はデータ列が正常に受信されている場合を示し、(B)はロックエラー信号S25Aが出力される場合を示している。また、図の矢印は、データが受信される時間的順序を示している。

【0093】送信部10からの伝送データにおける1ワードの長さは、コンマキャラクタを含めて全て10ビットなので、(A)に示すように伝送データが正しく受信されている場合には、2つのコンマキャラクタの上位ビット間に挟まれているデータ列のビット数は10ビットの整数倍となる。したがって、このデータ列を10ビット毎に分割しても余りのビットが生じないので、位置データS251の値は2つのコンマキャラクタについて等しくなる。これにより、ロックエラー信号S25Aは出力されない。一方(B)に示すように、2つのコンマキャラクタ間にXビットの余分なデータが含まれている場合は、2つのコンマキャラクタの上位ビット間に挟まれているデータ列のビット数が10ビットの整数倍にならない。したがって、このデータ列を10ビット毎に分割した場合に余りのビットが生じてしまうので、位置データS251の値は2つのコンマキャラクタについて等しくならない。これにより、ロックエラー信号S25Aが出力される。

【0094】次に、時間エラー検出回路253の動作について、詳しく説明する。時間エラー検出回路253は、送信部10のコンマキャラクタ付加部12においてコンマキャラクタが所定の時間間隔以内に必ず付加される場合に、受信部20Aにおいてこの時間間隔以内にコンマキャラクタが受信されない状態を検出する回路である。例えばファイバ・チャネルでは、必ず20μs以内にコンマキャラクタが伝送される仕様になっている。20μs以内にコンマキャラクタが検出されない場合には、シリアルデータS10とクロック信号CLK3Aが同期していないことを知らせるロックエラー信号S25Aが出力される。

【0095】図11は、時間エラー検出回路253の動作を説明する回路図である。図11において、2531はラッチ回路を、2532はNOT回路をそれぞれ示している。

【0096】ラッチ回路2531は、入力端子Dに入力されたデータを、クロック入力端子に入力されたクロック信号の立ち上がりエッジに同期してラッチし、出力端子Qに出力する。また、クリア端子CLに値“1”を入力された場合、出力端子Qに値“0”をセットする。NOT回路2532は、入力されたデータの論理を反転し

31

て出力する。

【0097】各ラッチ回路2531の出力端子Qは、各NOT回路2532を介してそれぞれの入力端子Dに接続されている。また、各ラッチ回路2531の出力端子Qとクロック入力端子とが縦続接続されており、初段のラッチ回路2531のクロック入力端子にはクロック信号CLK4が入力され、終段のラッチ回路2531の出力端子Qからはエラー信号S254が出力されている。さらに、各ラッチ回路2531のクリア端子CLにはコンマキャラクタ検出回路251による検出信号S252

【0098】図11に示す時間エラー検出回路253、一般的なダウンカウンタの構成を有している。ラッチ回路2531の入力端子Dには出力端子Qを反転した信号が供給されているので、出力端子Qはクロック入力端子に立ち下がりエッジが入力される度に反転する。初段のラッチ回路2531は、クロック信号CLK4による1回の立ち下がりエッジによって出力端子Qが反転する。次段のラッチ回路2531の出力端子Qは、初段の出力端子Qが反転し、さらに反転して元に戻る時のエッジによって反転する。すなわち、クロック信号CLK4による2回の立ち下がりエッジによって反転する。さらに3段目のラッチ回路2531は、次段のラッチ回路2531の出力端子Qが反転し、さらに反転して元に戻る時のエッジによって反転する。すなわち、クロック信号CLK4による4回の立ち下がりエッジによって反転する。このようにしてn段目（nは自然数を示す）のラッチ回路2531は、クロック信号CLK4による2の（n-1）乗回の立ち下がりエッジによって反転する。例えば12段目の出力端子Qは、クロック信号CLK4による2048回の立ち下がりエッジによって反転する。クロック信号CLK4の周期は10nsなので、12段目の出力端子Qは約20μsの間隔で反転する。したがってこの場合、時間エラー検出回路253のエラー信号S254は、コンマキャラクタが検出される度に検出信号S252によって“0”にリセットされ、次にコンマキャラクタが検出されるまでの時間が20μsを越えた場合に値“1”となる。このエラー信号S254によって、ロックエラー信号S25Aに値“1”が出力される。

【0099】以上説明した本発明の実施形態によれば、所定のデータ長（例えば10ビット）の単位データを含むデータ列と、上記単位データと等しい長さを有し、上記データ列間に挿入されたコンマキャラクタとを含んだシリアルデータS10が送信部10においてクロック信号CLK2に同期して送信される。このシリアルデータS10は、シリアル-パラレル変換部21Aにおいて、シリアルデータS10に基づいて再生されたクロック信号CLK3Aに同期したタイミングで、上記所定のデータ長ごとに入力されて保持され、保持されたシリアルデータS10がパラレルデータS21として出力される。

32

エラー検出部25Aにおいて、パラレルデータS21に含まれるコンマキャラクタが検出され、このコンマキャラクタのパラレルデータS21における検出位置に応じた位置データS251が生成される。そして、位置エラー検出回路252において、コンマキャラクタが検出される度に、この検出されたコンマキャラクタの位置データと、最近に検出されたコンマキャラクタの位置データとが比較され、これらの位置データが一致しないことを条件として、クロック信号CLK3AがシリアルデータS10に同期していないことを知らせるエラー信号S253が検出される。このようにして、シリアルデータS10の周波数より低い周波数のクロック信号CLK3Aによって、このシリアルデータS10と再生されたクロック信号CLK3Aとの同期のずれを確実に検出できる。クロック信号が低周波化されるので、CMOSプロセスによるIC化が可能になり、ECL等によって構成していた従来回路に比べて消費電力を低減できる。また、他のロジック系回路を含めた集積化が可能になるので、装置のサイズが小さくなり、コストダウンが図れる。さらに、エラー検出回路25Aにおいて、遅延回路等微小な遅延時間を設定する必要がないので、製造プロセスによる個体間のばらつきや環境の影響を受けなくなり、製品の歩留りが向上する。

【0100】また、本発明の実施形態によれば、クロック再生部24Aの位相比較回路241において、シリアルデータS10とクロック信号CLK3Aとの位相が比較されるとともに、位相周波数比較回路242においてシリアルデータS10とクロック信号CLK3Aを所定数だけ分周した信号との周波数の大小が比較され、エラー検出部25Aによりロックエラー検出信号S25Aが出力されない場合、位相比較回路241による位相比較の結果に応じて電圧制御発振回路247の入力電圧が可変されることによりクロック信号CLK3Aの周波数が制御され、エラー検出部25Aによりロックエラー検出信号S25Aが出力されない場合、位相周波数比較回路242による周波数比較の結果に応じて電圧制御発振回路247の入力電圧が可変されることによりクロック信号CLK3Aの周波数が制御されるので、位相比較回路241による位相比較に応じてクロック信号CLK3Aが制御されている時に、例えばノイズなどの影響によってシリアルデータS10に対するクロック信号CLK3Aの位相のロックが外れてしまっても、位相周波数比較回路242を自動的に作動させて、シリアルデータS10に対するクロック信号CLK3Aの周波数をロックさせることができる。

【0101】また、本発明の実施形態によれば、時間エラー検出回路253において、コンマキャラクタ検出回路251から出力されるコンマキャラクタの検出信号S252に基づいて、コンマキャラクタが検出される時間間隔が計時され、この時間間隔と所定の上限時間（例え

ば $20\mu\text{s}$) とが比較され、この時間間隔が上限時間を越えることを条件として、クロック信号 CLK3A がシリアルデータ S10 に同期していないことを知らせるエラー信号 S254 が検出されるので、送信部 10 においてコマキャラクタの送信間隔が既定の場合において、シリアルデータ S10 に対するクロック信号 CLK3A の同期不良をより確実に検出できる。

【0102】

【発明の効果】本発明によれば、所定のデータ長の単位データからなるシリアルデータからクロック信号が再生され、このクロック信号に基づいて元の単位データが再生されるシリアルデータの伝送方式において、再生されるクロック信号が低周波化されるので、CMOS プロセスによる IC 化が可能になり、ECL 等によって構成していた従来回路に比べて消費電力を低減できる。

【図面の簡単な説明】

【図 1】本発明に係るデータ伝送装置の動作を説明するブロック図である。

【図 2】クロック再生部の動作を説明するブロック図である。

【図 3】位相周波数比較回路に基準クロック信号を供給した場合のクロック再生部のブロック図である。

【図 4】受信部におけるシリアル-パラレル変換部の動作を説明するブロック図である。

【図 5】5 ビットパラレル-20 ビットパラレル変換部の動作を説明するブロック図である。

【図 6】5 ビットパラレル-20 ビットパラレル変換部におけるタイミングチャートを示す図である。

【図 7】エラー検出部の動作を説明するブロック図である。

【図 8】コマキャラクタ検出回路の動作を説明する回路図である。

【図 9】位置エラー検出回路の動作を説明する回路図で *

*ある。

【図 10】受信部においてパラレルデータに変換されたデータ列を示す図である。

【図 11】時間エラー検出回路の動作を説明する回路図である。

【図 12】従来のシリアルデータ伝送装置の動作を説明するブロック図である。

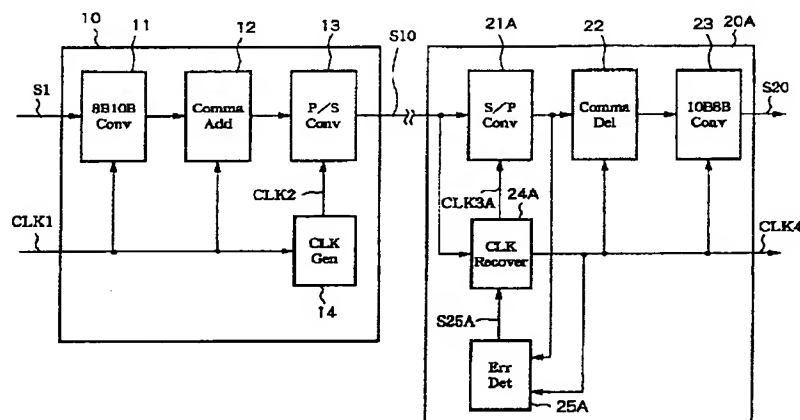
【図 13】従来のシリアルデータ伝送装置の受信部においてクロック信号の再生エラーを検出するエラー検出部の動作を説明するブロック図である。

【図 14】従来のエラー検出部におけるタイミングチャートを示す図である。

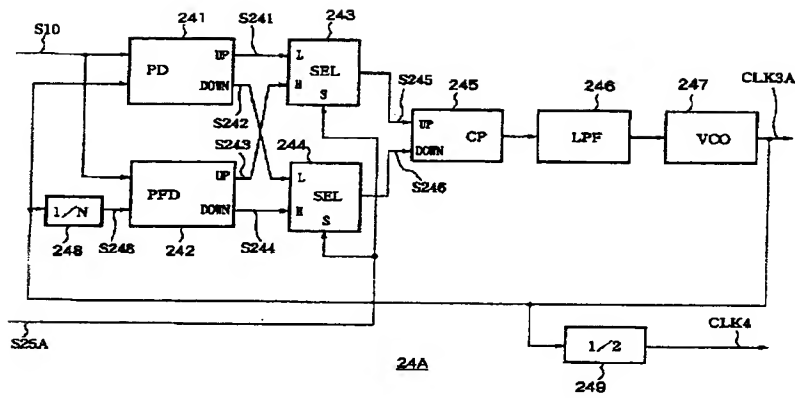
【符号の説明】

10…送信部、20 および 20A…受信部、11…8 B 10 B 変換部、12…コマキャラクタ付加部、13…パラレル-シリアル変換部、14…送信クロック発生部、21 および 21A…シリアル-パラレル変換部、22…コマキャラクタ除去部、23…10 B 8 B 変換部、24 および 24A…クロック再生部、25 および 25A…エラー検出部、241…位相比較回路、242…位相周波数比較回路、243, 244, 2522…セレクタ、245…チャージポンプ回路、246…ローパスフィルタ、247…電圧制御発振器、248 および 2127…分周回路、211…シリアル-5 ビットパラレル変換部、212…5 ビットパラレル-20 ビットパラレル変換部、2121~2126, 2523, 2525 および 2531…ラッチ回路、251…コマキャラクタ検出回路、252…位置エラー検出回路、253…時間エラー検出回路、254 および 2520…OR 回路、2510~2519…AND 回路、2521…エンコーダ、2524…EX-OR 回路、2532…NOT 回路。

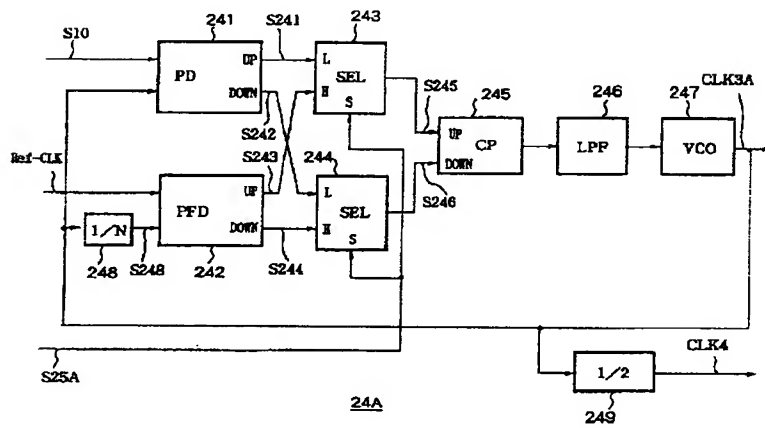
【図 1】



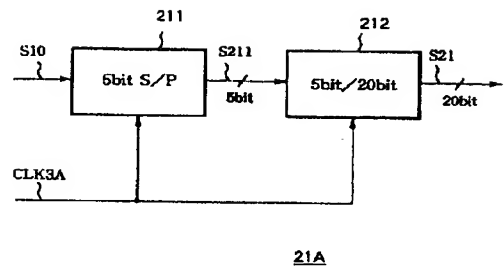
【図 2】



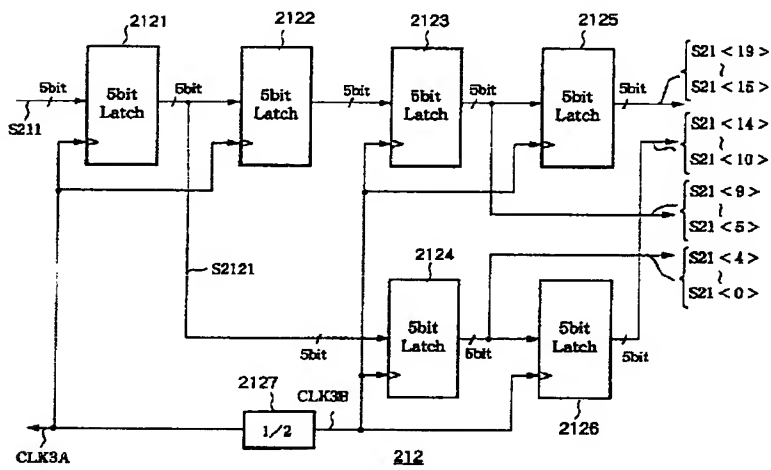
【図 3】



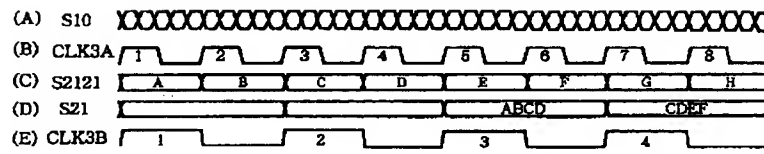
【図 4】



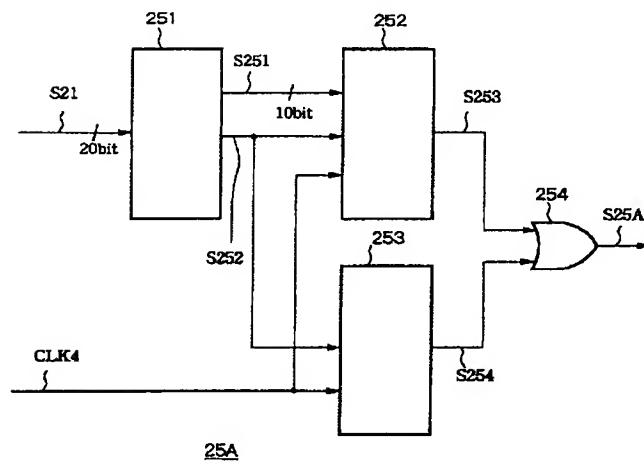
【図 5】



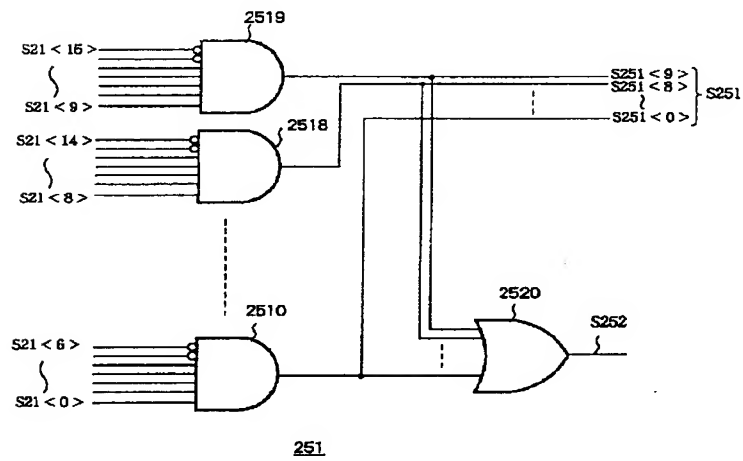
【図 6】



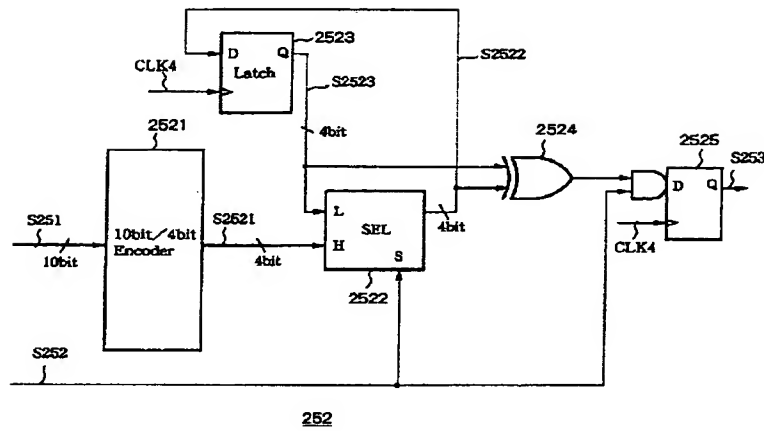
【図 7】



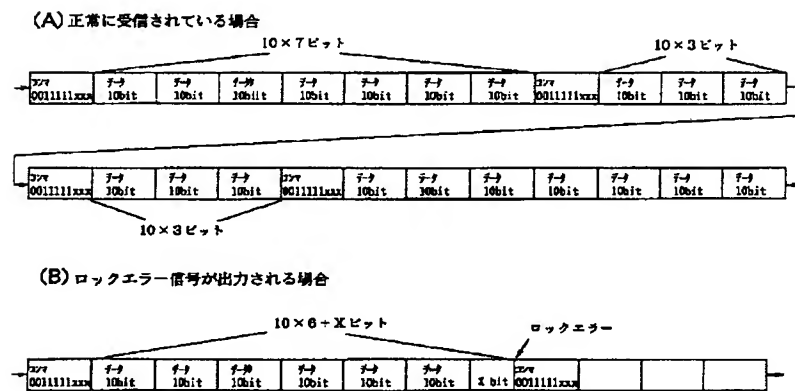
【図 8】



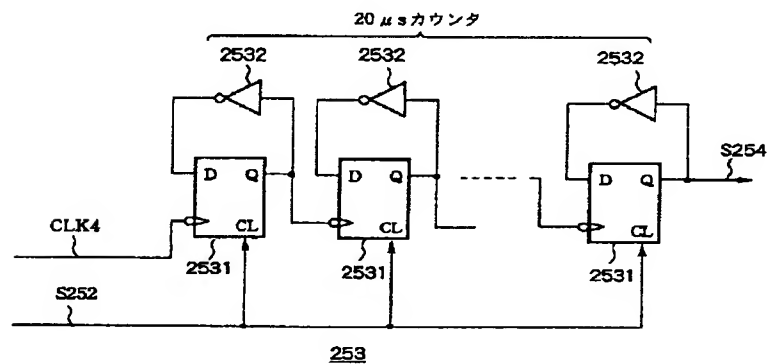
【図 9】



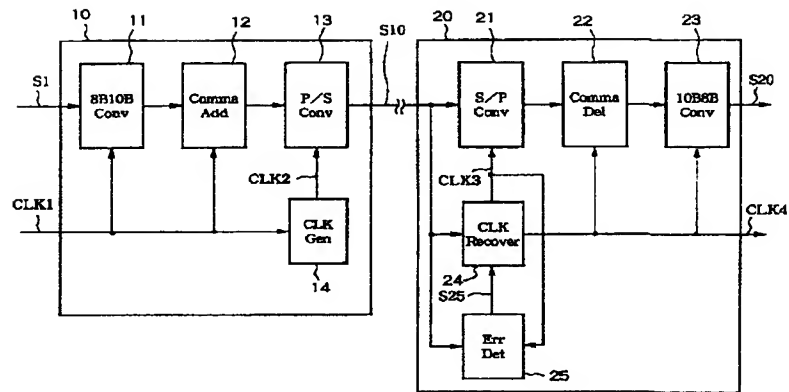
【図 10】



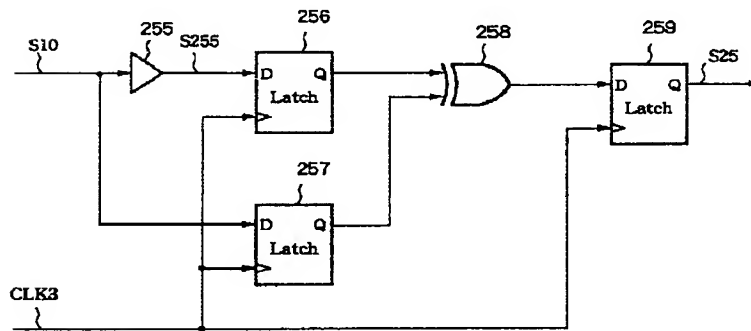
【図 11】



【図12】



【図13】



25

【図14】

